

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



543166

(43)国際公開日
2004年8月19日 (19.08.2004)

PCT

(10)国際公開番号
WO 2004/070798 A1

(51)国際特許分類:

H01L 21/02, 29/78

[JP/JP]; 〒1000005 東京都千代田区丸の内一丁目4番2号 Tokyo (JP).

(21)国際出願番号:

PCT/JP2004/000869

(71)出願人および

(22)国際出願日:

2004年1月29日 (29.01.2004)

(72)発明者: 大見 忠弘 (OHMI, Tadahiro) [JP/JP]; 〒9800813 宮城県仙台市青葉区米ヶ袋二丁目1番17号 301 Miyagi (JP).

(25)国際出願の言語:

日本語

(72)発明者; および

(26)国際公開の言語:

日本語

(75)発明者/出願人(米国についてのみ): 山中 秀記 (YAMANAKA, Hideki) [JP/JP]; 〒9618061 福島県西白河郡西郷村大字小田倉字大平150 信越半導体株式会社半導体白河研究所内 Fukushima (JP). 出水 清史 (DEMIZU, Kiyoshi) [JP/JP]; 〒1000005 東京都千代田区丸の内一丁目4番2号 信越半導体株式会社内 Tokyo (JP).

(30)優先権データ:

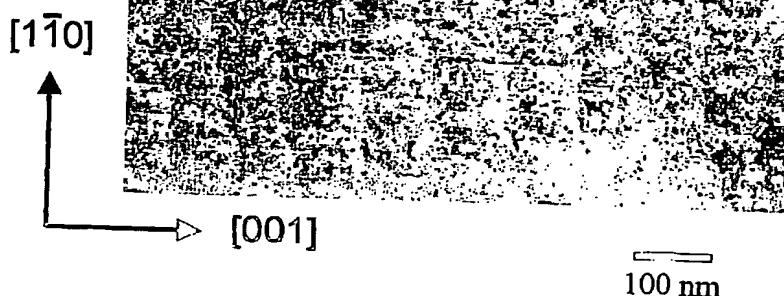
特願2003-030642 2003年2月7日 (07.02.2003) JP

(71)出願人(米国を除く全ての指定国について): 信越半導体株式会社 (SHIN-ETSU HANDOTAI CO., LTD.)

(統葉有)

(54) Title: SILICON SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURING METHOD

(54)発明の名称: シリコン半導体基板及びその製造方法



(57) Abstract: A method for manufacturing a silicon semiconductor substrate for semiconductor integrated circuit devices exhibiting a higher carrier mobility of the (110) surface, particularly a higher mobility of electrons that are carriers of an n-type FET. The surface is planarized on the order of atom size by a conventional RCA cleaning without carrying out any special cleaning and without carrying out radial oxidation, and resultantly the surface roughness is reduced. The major surfaces of the substrate are (110) surfaces or inclined (110) surfaces. Steps with magnitudes on the order of atom size are formed on the surface of the substrate generally along the <110> direction.

(57) 要約: 本発明は、[110]面のキャリア移動度、特にn型FETのキャリアである電子の移動度がより高い値を示す半導体集積回路素子用シリコン半導体基板を製造するためになされたものであり、特別な洗浄を用いず従来のRCA洗浄を用い、またラジカル酸化を行うことなく、原子レベルで表面が平坦化され、表面ラフネスが低減されたシリコン半導体基板及びその製造方法を提供する。本発明は、[110]面又は[

(統葉有)

WO 2004/070798 A1



寺本 章伸 (TERAMOTO, Akinobu) [JP/JP]; 〒9830037
 宮城県仙台市宮城野区平成一丁目1番22号K-6
 Miyagi (JP). 須川 成利 (SUGAWA, Shigetoshi) [JP/JP];
 〒9800861 宮城県仙台市青葉区川内元支倉35番地
 川内住宅2-102 Miyagi (JP).

(74) 代理人: 石原 詔二 (ISHIHARA, Shoji); 〒1700013 東
 京都府豊島区東池袋3丁目7番8号 若井ビル302号
 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
 可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
 BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
 DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
 ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
 LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
 NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
 VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が
 可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,
 SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,
 KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH,
 CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU,
 MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
 CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
 各PCTガゼットの巻頭に掲載されている「コードと略語
 のガイダンスノート」を参照。

110] 面を傾けた面を正面とするシリコン半導体基板であって、その表面に平均的に<110>方向に沿った原
 子レベルのステップを有するようにした。

明細書

シリコン半導体基板及びその製造方法

5 技術分野

本発明は、半導体集積回路素子の製造に使われる単結晶シリコン半導体基板及びその製造方法に関するものである。

背景技術

10 単結晶シリコンウェーハを用いて製造されるM I S · F E T (Met a l - I n s u l a t o r - S e m i c o n d u c t o r F i e l d E f f e c t T r a n s i s t o r) のゲート絶縁膜には、低リーク電流特性、低界面準位密度、イオン注入に対する高耐性などの高性能電気特性と高信頼性が要求される。これらの要求を満足するゲート絶縁膜
15 形成技術としては、熱酸化法による二酸化珪素膜（単に酸化膜という場合もある）の形成技術が主流である。いわゆる、M O S · F E T (Met a l - O x i d e - S e m i c o n d u c t o r F i e l d E f f e c t T r a n s i s t o r) である。この熱酸化法によって良好な酸化膜／シリコン界面特性、酸化膜耐圧特性、リーク電流特性が得られるのは、{100} を正面とするシリコンウェーハを基板とした場合
20 である。それ以外の{110} や{111} 方位を正面とするシリコンウェーハが集積回路素子の基板として活用されていない主な理由は、{110} 面及び{111} 面に形成された酸化膜の界面準位密度が高いからである。界面準位密度が高いと酸化膜の耐圧特性やリーク電流特性などの電気特性が劣る。
25

したがって、M O S · F E T が形成されるシリコンウェーハ基板には、

今まで {100} 方位のウェーハか、{100} から 4° 程度傾けられたウェーハが使用されてきた。

しかし、{100} 面の半導体素子では n 型 F E T と比較して、p 型 F E T の電流駆動能力、つまりキャリア移動度が約 0.3 倍であることが問題とされてきた。近年、シリコンウェーハの表面の面方位に依存することのない良質の絶縁膜を形成する手法、つまりラジカル酸化法、あるいはラジカル窒化法が開発された (2000 Symposium on VLSI Technology, Honolulu, Hawaii, June 13-15, 2000 "Advanced of Radical Oxidation for Improving Reliability of Ultra-Thin Gate Oxide")。この手法を用いれば、{100} 以外の面に対しても良質な絶縁膜を形成できることになる。

したがって、MOSFET のチャネル方向のキャリア移動度が高くなる可能性のある {110} 面を主面とするシリコン半導体基板を用いた半導体集積回路素子の実現性が高くなつた。本発明者等は {110} 面を主面とする半導体素子を作製し、その特性の評価を行い、種々の知見を得ることができた。

その p 型 F E T の電流駆動能力は {100} に比べて約 2.5 倍も上昇するが、n 型 F E T の電流駆動能力は約 0.6 倍に低下してしまうという期待に反する結果になつた。この n 型 F E T の電子移動度を {100} 面の電子移動度と同等か、それ以上に挙げることができれば {110} 面を用いた半導体集積回路素子が実用化され、広く用いられることになる。

キャリア移動度は、不純物散乱、フォノン散乱（格子振動散乱）、表面ラフネス散乱の影響を受ける。これらの散乱の影響が大きい場合には

キャリア移動度は低下する。 $\{100\}$ 面の電子移動度は、シリコン表面のラフネスに大きく影響を受け、ラフネスが悪いほど電子移動度は低下することが明らかにされた(T. Ohmi et al. : IEEE Trans. Electron Devices, vol. 137, 5 p. 537, 1992)。その後、表面ラフネスを低減するための方法として次の2つの手法が提案されている。即ち、(1)酸素ラジカルを含む雰囲気下での半導体基板表面への酸化膜の形成(M. Nagamine et al., IEDM Tech. Dig. p. 593, 1998)、及び(2)RCA洗浄(W. Kern et al. : RCA Review, vol. 31, p. 187, 1970)以外の基板表面の洗浄方法である。

(1)のラジカル酸化では、酸化種であるラジカル酸素がシリコン表面の突起部に付着する確率が高いことと、負に帯電した突起部に O^{+} や O_2^{+} の酸素イオンが引き寄せられる効果が相乗して、突起部が優先的に酸化されることによって表面ラフネスが低減すると考えられている。従来のドライ酸素(乾燥酸素)雰囲気下の酸化では20%程度の表面ラフネスの悪化が起こるが、ラジカル酸化では40%程度の表面ラフネスの低減が起こる。

また、(2)の洗浄方法は既に特開平11-057636号公報として公開されている。従来から広く用いられているRCA洗浄のアルカリ液による洗浄工程が表面のラフネスを悪化させることから、特開平11-057636号公報として公開されている洗浄はアルカリ液を含まない洗浄工程で、かつRCA洗浄と同等以上のパーティクル除去、有機物汚染除去、金属不純物除去の能力を有する。この新しい洗浄工程は5つの工程で構成されることから、本明細書では以下5工程洗浄と略記することにする。

RCA洗浄のアルカリ液を含む洗浄工程で表面ラフネスが悪化する理由は、Si-Si結合の弱い部分が水酸化物イオン(OHイオン)により優先的にエッティングされることにある。

表面ラフネスを低減するための上記の2つの手法のうち、(1)のラジカル酸化法は表面ラフネスを低減させる方法であるが、(2)の5工程洗浄は表面ラフネスを低減させる方法というよりも、RCA洗浄で荒れる量を抑制する方法である。実際、従来のRCA洗浄によって50%程度悪化するところを5工程洗浄では0%から10%の悪化に留めることができる。

ラジカル酸化法で表面ラフネスが低減することから、ゲート酸化膜を形成する前に、このラジカル酸化を繰り返すことによってさらに表面ラフネスを低減することが可能であるが、その繰り返しを行うことの弊害もある。ラジカル酸化は300°C~500°C程度の低温で行われる。この温度では酸素ドナーが形成され、基板内部の電気抵抗率が変化してしまう。もし500°C以上で酸化する場合には、酸素析出核の形成とその成長が基板表層でも起こり、リーク電流やゲート酸化膜の絶縁破壊の原因になる。

シリコン半導体基板の表面ラフネスを低減することは表面を原子レベルで平坦化することである。ある特定の結晶面をもつ鏡面研磨され洗浄されたシリコンウェーハの表面は、原子レベルで見ると無数の凹凸が存在し、これがマイクロラフネスと呼ばれる表面ラフネスの要因である。これは切り出し面と異なるマイクロファセットが研磨や洗浄で用いる薬液とシリコン表面との化学反応によって表面に多数出現することによって形成される。

{111}面に切り出されたシリコンウェーハでは、{111}面自体がファセット面であるから、原子レベルで平坦な面が形成されやすい。

Y. J. Chabal 等はフッ化アンモニウム水溶液で洗浄することによって、表面シリコン原子のダングリングボンド（共有結合の相手が無い結合）を水素原子で終端し安定化させ、原子的に平坦化できることを公表している（Y. J. Chabal et al., J. Vac.

5 Sci. & Technol. vol. A7, pp. 2104, 1989
）。

また、 $\{111\}$ 面を $[11\bar{2}]$ または $[\bar{1}\bar{1}2]$ 方向に数度だけ微傾斜させ、フッ化アンモニウム水溶液で洗浄することによって、原子レベルでステップとテラスを形成し原子的に平坦化できることも明らかに
10 された（H. Sakaue et al., Appl. Phys. Lett. vol. 78, p. 309, 2001）。しかし、最も広く使われている $\{100\}$ 面シリコン基板において、鏡面研磨された基板を洗浄だけによって原子レベルでの平坦化を実現したという報告はない。

微傾斜した $\{100\}$ 面にエピタキシャル成長させたエピタキシャル
15 シリコン半導体基板においては、ステップとテラスを形成することによ
って表面ラフネスを低減したという報告はある（K. Izunome
et al. : Jpn. J. Appl. Phys. vol. 31, pp.
L1277, 1992）。また、水素雰囲気下で高温熱処理を行うこと
によってもシリコン半導体基板にステップとテラスを形成して、表面ラ
20 フネスを低減したという報告もある（O. Vatel et al. :
Jpn. J. Appl. Phys. vol. 32, pp. L1489,
1993）。しかし、本発明者等が注目している $\{110\}$ 面において
は原子レベルでの平坦化の報告はない。

超高真空下での加熱処理による $\{100\}$ 面の平坦化については、数
25 多く報告されている。しかし、200mm以上の大口径シリコン基板に
対しては、その熱処理炉が大型化することと生産性が低下することから、

シリコン基板製造工程に導入することは困難である。

シリコン半導体基板を製造、供給する点からは、上記のラジカル酸化によって表面ラフネスを改善することは、工程が増えることになり生産性が低下する。現状のシリコン基板製造工程では、鏡面研磨した後に R
5 C A 洗浄を施す工程が一般的である。以下、研磨・洗浄処理されたシリ
コン半導体基板を鏡面研磨シリコン半導体基板と呼ぶ。エピタキシャル
シリコン半導体基板などを含めて総称としてシリコン半導体基板と呼ぶ
こととする。鏡面研磨シリコン半導体基板の表面ラフネスは平方根平均
ラフネス (root-mean-square roughness ;
10 Rms) で表すと、0. 12 nm 程度である。半導体集積回路素子を製
造するデバイスマーカーではシリコン半導体基板を受け入れた後、R C
A 洗浄を施す。前述のように R C A 洗浄を施すと一般に表面ラフネスは
悪化する。

従ってデバイスマーカーにおける R C A 洗浄後のシリコン半導体基板
15 の一般的な Rms は 0. 18 nm 程度である。この基板にゲート酸化膜
を形成するために従来のドライ酸素（乾燥酸素）雰囲気下で、5 nm 程度
の酸化膜を形成した場合、その界面の Rms は 0. 22 nm に悪化する。
一方、前述のラジカル犠牲酸化の後にラジカル酸化により 5 nm 程度
20 の酸化膜を形成した場合の Rms は 0. 08 nm 程度になり、表面ラ
フネスは大幅に低減できる。このラジカル犠牲酸化の工程をシリコン半
導体基板メーカーに導入することも表面ラフネス低減の 1 つの手法にな
るが、前述のように工程が増えることになり生産性の低下になる。した
がって、半導体集積回路素子製造に使用されるシリコン半導体基板を製
25 造する立場においては、ラジカル酸化などの犠牲酸化や特別な洗浄を施
すことなく、表面ラフネスが低減されたシリコン半導体基板を製造する
ことが必要になる。

発明の開示

本発明は、 $\{1\bar{1}0\}$ 面のキャリア移動度、特にn型FETのキャリアである電子の移動度がより高い値を示す半導体集積回路素子用シリコン半導体基板を製造するためになされたものであり、上述の5工程洗浄
5 のような特別な洗浄を用いず従来のRCA洗浄を用い、またラジカル酸化を行うことなく、原子レベルで表面が平坦化され、表面ラフネスが低減されたシリコン半導体基板及びその製造方法を提供することを目的とする。

上記の目的を達成するために、本発明のシリコン半導体基板の第1の
10 様様は、 $\{1\bar{1}0\}$ 面又は $\{\bar{1}10\}$ 面を傾けた面を主面とするシリコン半導体基板であって、その表面に平均的に $<1\bar{1}0>$ 方向に沿った原子レベルのステップを有することを特徴とする。上記 $\{1\bar{1}0\}$ 面を傾けた面としては $\{\bar{1}10\}$ 面を $<100>$ 方向に傾けた面とするのが好適である。

15 $\{1\bar{1}0\}$ 面又は $\{\bar{1}10\}$ 面を傾けた面を主面とするシリコン半導体基板を半導体集積回路素子に用いることの最大の特長は、p型FETにおける正孔移動度が $<1\bar{1}0>$ 方向で $\{100\}$ 面の場合に比べて約2.5倍も高くなることである。したがって、これらのシリコン半導体基板におけるn型FET電子移動度が $\{100\}$ 面の電子移動度以上に
20 向上させた半導体集積回路素子では電子と正孔の流れるチャネル方向を $<1\bar{1}0>$ 方向に作製することによって、さらに回路素子の微細化が実現できる。しかし、 $<1\bar{1}0>$ 方向に原子レベルのステップを有さない $\{1\bar{1}0\}$ 面を主面とするシリコン半導体基板では、表面ラフネスが $\{100\}$ 面の表面ラフネス以下にならず、その電子移動度は $\{100\}$ 面の電子移動度よりも小さいというのが現状である。

表面ラフネスを低減するためには、原子レベルでの表面平坦化が必要

である。表面にステップを形成することによって、ステップ間にはテラスが形成され、そのテラス面では原子レベルで平坦な面となる。ステップのエッジを<110>方向になるようにすれば、<110>方向に流れるキャリアは、平坦なテラス面直下を流れるか、あるいはステップの
5 段差による散乱を受けることなく流れることによって、表面ラフネスによる散乱の影響が低減され、高い移動度を実現できる。なお、ステップのエッジは原子レベルでは直線にはならず数原子の凹凸があり、その部分はキンク部と呼ばれる。したがって、<110>方向に沿ったステップというのは、マイクロメーターオーダーで平均的に見て、<110>
10 方向に沿ったステップの意味である。

本発明のシリコン半導体基板の第1の態様において、{110}面を<100>方向に傾けた面を主面とするシリコン半導体基板の表面にエピタキシャル成長法によりシリコン単結晶薄膜を形成することができる。このエピタキシャル成長法によりシリコン単結晶薄膜を表面に形成した
15 シリコン半導体基板は、換言すれば、エピタキシャルシリコン半導体基板であり、以下、これを本発明のエピタキシャルシリコン半導体基板と称することがある。

シリコン半導体基板のエピタキシャル成長は、テラス上にできるステップのキンク部にシリコン原子が堆積しながらステップが2次元的に成長するモデルで説明されている。主面が微傾斜されていない、研磨・洗浄処理されたままの{110}面の鏡面研磨シリコン半導体基板の表面には通常のRCA洗浄ではテラスとステップは形成されず、無数のマイクロファセットが存在する。これが表面ラフネス悪化の要因である。この表面にエピタキシャル成長を行うと、無数のマイクロファセットがキンクの役割を担いシリコン原子の堆積は均一に起こる。したがって、<110>方向に向いたステップとテラスは形成されない。

しかし、本発明のエピタキシャルシリコン半導体基板においては、エピタキシャル成長を行う前の鏡面研磨シリコン半導体基板の正面が微傾斜された面である微斜面であるにも拘わらずテラスとステップは観察されないが、その表面にシリコン原子をエピタキシャル成長させると、その成長過程でテラスとステップが形成される。テラスの表面は原子レベルで平坦であることから、表面ラフネスが改善される。微傾斜された鏡面研磨シリコン半導体基板は、潜在的にテラスとステップが形成される要因を含んでいる。微傾斜の方向を本発明の<100>方向にすることによって、キャリアを流す方向とする<110>方向に平行にステップが現われ、ステップ間の平坦な面であるテラス面直下でキャリアを流すことができる。したがって、ステップの段差によるキャリアの散乱も起こらない。

本発明のシリコン半導体基板の第1の態様において、{110}面を<100>方向に傾けた面を正面とするシリコン半導体基板を、水素ガス、あるいはアルゴンガス、またはこれらの混合ガス雰囲気中で熱処理を施すこともできる（以下、このシリコン半導体基板を熱処理シリコン半導体基板と称することがある）。水素ガスやアルゴンガス、あるいはこれらの混合ガス雰囲気下で高温で熱処理を施した、微傾斜{110}面シリコン基板においても、高温処理により表面のシリコン原子が再配列することによって、その表面にはステップとテラスが形成される。微傾斜の方向を<100>方向とすることによって、キャリアを流す方向とする<110>方向に平行にステップが現われ、ステップ間の平坦な面であるテラス面直下でキャリアを流すことができる。したがって、ステップの段差によるキャリアの散乱も起こらない。

本発明のシリコン半導体基板の第2の態様は、{110}面を<100>方向に傾けた面を正面とするシリコン半導体基板であって、その表

面を鏡面研磨したことを特徴とする（以下、このシリコン半導体基板を鏡面研磨シリコン半導体基板ということがある）。前述のように、{110}面を<100>方向に微傾斜し、研磨・洗浄処理を施されたままのシリコン基板においては、ステップとテラスは形成されないが、その
5 基板にエピタキシャル成長や水素ガスやアルゴンガス雰囲気下で熱処理を施すことによって、ステップとテラスを形成することができるところから、シリコン基板の表面にはステップとテラスを形成するための要因を内在している。半導体集積回路素子を形成するための初期工程の洗浄工程や熱処理工程においてステップとテラスを形成することができる。

10 本発明のシリコン半導体基板における微傾斜角度は0°以上8°未満とすることが好ましい。{110}面を<100>方向に8°傾斜した面は、別の低指数组合せ{551}面となり、この表面にステップとテラスを形成するためには{551}面を僅かに傾斜させる必要がある。したがって、8°未満が好ましい。微傾斜角度が大きくなるとテラス幅は小さくなり、ステップの密度が高くなる。{110}面の單原子層ステップの段差は0.192 nmであるから、8°の場合の計算上のテラス幅は1.36 nmであり、2原子ステップの段差は0.394 nmであるからテラス幅は2.73 nmとなり、テラス幅とステップ段差は同じオーダーになる。ステップの密度が高くなるとキンク密度も高くなり、ステップによる2次元エピタキシャル成長が難しくなり、特定の方向を向いたステップとテラスが形成されなくなる。0°を含めるのは装置精度の問題に因る。結晶インゴットからウェーハを切断する場合、0°に設定しても切断機と方位測定機の精度の問題で実際は10分程度の誤差を持つのが一般的である。したがって、0°のウェーハといえども完全に
15 0°となることは極稀である。

本発明のシリコン半導体基板においてオリエンテーションフラットあ

あるいはノッチを<110>方向に形成することが好適である。このような構成とすることによって、結晶インゴットより切断されたウェーハの表裏に対して傾斜方向は同一方向になり、ウェーハの表裏管理を行う必要がないため、表裏を間違える危険性を排除することができる。

5 本発明のシリコン半導体基板の製造方法の第1の態様は、{110}面を<100>方向に傾けた面を主面とするシリコン半導体基板を作製し、その表面にエピタキシャル成長法によりシリコン単結晶薄膜を成長させることにより上述した本発明の第1の態様のシリコン半導体基板を製造することを特徴とする。

10 本発明のシリコン半導体基板の製造方法の第2の態様は、{110}面を<100>方向に傾けた面を主面とするシリコン半導体基板を作製し、そのシリコン半導体基板を水素ガス、あるいはアルゴンガス、またはこれらの混合ガス雰囲気中で熱処理することにより上述した本発明の第1の態様のシリコン半導体基板を製造することを特徴とする。

15

図面の簡単な説明

図1は、実施例1におけるエピタキシャルシリコン半導体基板で傾斜角が0.1°の場合に表面に形成されるステップとテラスの状態を示すAFM像である。

20 図2は、図1の模式図である。

図3は、実施例1におけるエピタキシャルシリコン半導体基板で微傾斜角が7.9°の場合に表面に形成されるステップとテラスの状態を示すAFM像である。

図4は、図3の模式図である。

25 図5は、本発明の水素熱処理シリコン半導体基板で微傾斜角が0.1°の場合に表面に形成されるステップとテラスの状態を示すAFM像で

ある。

図 6 は、図 5 の模式図である。

図 7 は、本発明のシリコン半導体基板でオリエンテーションフラットを<110>方向に付けることによって表裏等価になることを示す説明
5 図である。

図 8 は、シリコン半導体基板でオリエンテーションフラットを<100>方向に付ける場合には表裏等価にならず表裏管理が必要であること
を示す説明図である。

図 9 は、実施例 1 における本発明のエピタキシャルシリコン半導体基
10 板と鏡面研磨シリコン半導体基板の表面ラフネス (R_{ms}) の微傾斜角度依存性を示すグラフである。

図 10 は、実施例 2 における水素熱処理シリコン半導体基板と鏡面研
磨シリコン半導体基板の表面ラフネス (R_{ms}) の微傾斜角度依存性を
示すグラフである。

15

発明を実施するための最良の形態

以下に本発明の実施の形態を添付図面に基づいて説明するが、図示例
は例示的に示されるもので、本発明の技術思想から逸脱しない限り種々
の変形が可能なことはいうまでもない。

20 まず、本発明に係るシリコン半導体基板について、図 1 ~ 図 6 を用い
て説明する。図 1 は {110} 面を<110>方向に 0. 1° 傾斜した本発明のエピタキシャルシリコン半導体基板 W の A F M (A t o m i c
F o r c e M i c r o s c o p e) 像を示し、図 2 はその模式図である。図 3 は {110} 面を<110>方向に 7. 9° 傾斜した本発明の
25 エピタキシャルシリコン半導体基板 W の A F M 像を示し、図 4 はその模
式図である。図 5 は {110} 面を<110>方向に 0. 1° 傾斜した

水素熱処理シリコン半導体基板WのAFM像を示し、図6はその模式図である。

本発明のシリコン半導体基板Wは、{110}面又は{110}面を傾けた面を正面とし、その表面に<110>方向に沿った原子レベルの5ステップSを有するものである（図1～図6の図示例は{110}面を傾けた面を正面とした場合である）。

シリコン半導体基板Wの表面ラフネスを低減するためには、原子レベルでの表面平坦化が必要である。シリコン半導体基板Wの表面にステップSを形成することによって、ステップS間にはテラスTが形成され、10そのテラスT面では原子レベルで平坦な面となる。ステップSのエッジを<110>方向になるようにすれば、<110>方向に流れるキャリアは、平坦なテラスT面直下を流れるか、あるいはステップSの段差による散乱を受けることなく流れることによって、表面ラフネスによる散乱の影響が低減され、高い移動度を実現できる。なお、ステップSのエ15ッジは原子レベルでは直線にはならず数原子の凹凸があり、その部分はキンク部と呼ばれる。したがって、<110>方向に沿ったステップSというのは、マイクロメーターオーダーで平均的に見て、<110>方向に沿ったステップSの意味である。

{110}面又は{110}面を傾けた面上に形成される半導体集積20回路素子のキャリア移動度を高めるには、キャリアが流れる<110>方向の表面が原子レベルで平坦であることが必要である。{110}面又は{110}面を傾けた面を正面とするシリコン半導体基板において、その表面に平均的に<110>方向にステップを形成することができれば、ステップ間に現われる平坦な面であるテラス面の直下を<110>方向に沿ってキャリアを流すことができる。本発明のエピタキシャルシリコン半導体基板は、<110>方向に沿ってステップを形成するため

に発明されたもので、 $\{110\}$ 面を $<100>$ 方向に傾けた面を主面とする鏡面研磨シリコン半導体基板表面にエピタキシャル成長によりシリコン単結晶薄膜を形成したものである。

次に、主面が $\{110\}$ 面を $<100>$ 方向に傾けた面であるシリコ
5 ノン半導体基板において、オリエンテーションフラットあるいはノッチを
 $<110>$ 方向に形成することについて、図7を用いて説明する。図7
は本発明のシリコン半導体基板においてオリエンテーションフラットを
 $<100>$ 方向に付けることによって表裏等価になることを示す説明図
である。本発明の効果の一つは、シリコン半導体基板の表裏の管理を不
10 要とすることにある。図7にシリコン半導体基板Wの $\{110\}$ 面を代表して (110) 面とし、 $[\bar{1}10]$ 方向にオリエンテーションフラッ
トOF（以下ノッチの場合も同様なのでオリエンテーションフラットで
代表する）を形成した場合を示す。 (110) 面に垂直な $[110]$ 軸
（矢印OA）を $[001]$ 方向に傾けた場合、新たな軸は図中では矢印
15 OA'になる。それにより主面は新たな軸OA'に垂直な面となる。ウ
エーハの表裏が反転して裏面側を研磨した場合には、傾斜方位はウェー
ハ下面側に示す矢印OA"となり、傾斜方位はオリエンテーションフラ
ットOFに対して同一方向になる。言い換えれば、オリエンテーション
フラットOFを基準にして傾斜方位はウェーハの表裏反転に対して同一
20 方向になる。したがって、シリコン半導体基板の製造工程において、表
裏の管理を実施することなく、オリエンテーションフラットOFを基準
にして結晶学的に等価な構造をもつシリコン半導体基板を提供できる。

比較のために、図8にシリコン半導体基板Wのオリエンテーションフ
ラットOFを $[001]$ 方向に形成した場合を示す。図7と同様に $(1$
25 $10)$ 面に垂直な $[110]$ 軸（矢印OA）を $[001]$ 方向に傾けた
場合、新たな軸は図中では矢印OA'になる。それにより主面は新たに

軸OA'に垂直な面となる。ウェーハの表裏が反転して裏面側を研磨した場合には、傾斜方位はウェーハ下面側に示す矢印OA"となり、傾斜方位はオリエンテーションフラットOFに対して180度回転した方向になる。あるウェーハでは傾斜方位はオリエンテーションフラットの方
5 向（[001]）に向いているが、別のウェーハではオリエンテーションフラットの方
向（[001]）と反対側になる。したがって、オリエンテーションフラットを基準にしてシリコン半導体基板の方向を揃えて種々の処理を施して半導体素子を作製するデバイス作製工程においては、傾斜方向が180度異なるウェーハが混在することになり、同一の特性
10 を示す素子を作製することができなくなる。

本発明のシリコン半導体基板の製造方法の第1の態様は、{110}面を<100>方向に傾けた面を主面とするシリコン半導体基板を作製し、その表面にエピタキシャル成長法によりシリコン単結晶薄膜を成長させることにより本発明のシリコン半導体基板を製造するものである。

15 本発明のシリコン半導体基板の製造方法の第2の態様は、{110}面を<100>方向に傾けた面を主面とするシリコン半導体基板を作製し、そのシリコン半導体基板を水素ガス、あるいはアルゴンガス、またはこれらの混合ガス雰囲気中で熱処理することにより本発明のシリコン半導体基板を製造するものである。

20 実施例

以下に実施例をあげて本発明をさらに詳細に説明するが、これらの実施例は例示的に示されるもので、限定的に解釈されるべきでないことはいうまでもない。

（実施例1）

25 [110]方向に引き上げられたシリコン単結晶を[001]方向に0°、0.1°、1.0°、2.0°、4.0°、6.0°、7.9°、

10. 0°傾けて切断し、ウェーハを作製した。結晶はポロンを添加したp型で、電気抵抗率は10～12Ωcmである。口径は150mmである。切断されたウェーハを通常の化学的機械的研磨によって鏡面ウェーハにした後、RCA洗浄を施した。これらの鏡面研磨シリコン半導体基板にエピタキシャル成長により厚さ約5μmのシリコン単結晶薄膜を形成した。原料ガスとしてトリクロロシラン(SiHCl₃)を用い、水素雰囲気中にて1130°Cの反応温度で成長させた。

表面ラフネスの測定は、AFM(Atomic Force Microscope)の機能によって表面の微小な凹凸を測定することができるSEIKO INSTRUMENTS社のSPA360によって行い、その表面ラフネスの量をRmsによって表す。図9にエピタキシャルシリコン半導体基板のRmsの微傾斜角度依存性を示す。比較のためにそれぞれの傾斜角度をもつ鏡面研磨シリコン半導体基板についても表している。微傾斜角度が0°の場合、鏡面研磨シリコン半導体基板のRmsとエピタキシャルシリコン半導体基板のRmsはそれぞれ0.118nm、0.112nmである。

なお、傾斜のない{110}面の鏡面研磨シリコン半導体基板のRms=0.118nmは傾斜のない{100}面の鏡面研磨半導体基板のRmsとほぼ同じ値である。微傾斜角が0.1°においてもエピタキシャルシリコン半導体基板の表面ラフネスは鏡面研磨シリコン半導体基板よりも低減されている。その低減効果は、少なくとも7.9°の傾斜角まで認められる。{110}面の単原子層ステップの段差は0.192nmであるから、7.9°の場合の計算上のテラス幅は1.38nmであり、2原子ステップの段差は0.394nmであるからテラス幅は2.76nmとなり、テラス幅とステップ段差は同じオーダーになる。ステップ間隔が狭くなりその密度が高くなるとキンク密度も高くなり、ステ

ップによる2次元エピタキシャル成長が難しくなる。10.0°では表面ラフネスは悪くなっている。

微傾斜角が0.1°のエピタキシャルシリコン半導体基板の表面ラフネスのAFM像を図1に示し、その模式図を図2に示す。図1及び図2

5 に示したように、ステップSとテラスTを認めることができる。ステップSは平均的に<110>方向に形成されている。テラスTの幅は約100nmである。テラスTの幅Lは、簡略化したモデルでステップSの段差hと微傾斜角αの間に成り立つ式： $\tan \alpha = h / L$ によって予測することができる。{110}の場合、單原子ステップの段差は0.1
10 92nmで、2原子ステップの段差は0.384nmである。微傾斜角度が0.1°の場合、單原子ステップに対してテラス幅は110nmになる。予測とほぼ一致する。微傾斜角度が1°を超えると、見積もられる單原子ステップによるテラス幅は10nm以下になる。

この場合のステップとテラスをAFMで観察することは困難である。

15 表面ラフネスRmsが鏡面研磨シリコン半導体基板よりも低減していることから、ステップとテラスは形成されていると考えられる。このように微傾斜角度が大きくなるほどテラス幅は小さくなると予測されるが、微傾斜角度が7.9°の場合に例外が認められる。その場合のAFM像を図3に示し、その模式図を図4に示す。図3及び図4から明らかにように、予測されるテラス幅である1.38nmまたは2.76nmよりもかなり広いテラスTが形成されている。またステップSの方向は概ね<110>方向であるが、曲線的であることから、ステップSの成長が揺らいでいることを意味している。かなり広いテラスTが形成された理由は、{110}面を<100>方向に7.9°傾けた場合に、その主面は低指數面である{551}面が0.15°傾いた面になることから、その主面がファセット面{551}から僅かに傾いた面になっているこ

とにある。これはファセット面である {111} 面を <112> 方向に僅かに傾けた場合にステップとテラスが形成されることから推察される。

(実施例 2)

次に、熱処理シリコン半導体基板の表面ラフネスについて説明する。

5 エピタキシャルシリコン半導体基板の場合と同じように、[110] 方向に引き上げられたシリコン単結晶を [001] 方向に 0°、0.1°、
1.0°、2.0°、4.0°、6.0°、7.9°、10.0° 傾けて切断し、ウェーハを作製した。通常の化学的機械的研磨によって鏡面
ウェーハにした後、RCA 洗浄を施した。これらの鏡面研磨シリコン半
導体基板に水素ガス雰囲気中で 1150°C で 1 時間の熱処理を施した。
10

図 10 に水素熱処理シリコン半導体基板の Rms の微傾斜角度依存性を示す。

比較のために鏡面研磨シリコン半導体基板についても表している。微
傾斜角度が 0° の場合、鏡面研磨シリコン半導体基板の Rms と水素熱
15 処理シリコン半導体基板の Rms はそれぞれ 0.118 nm、0.11
1 nm である。Rms の微傾斜角度依存性はエピタキシャルシリコン半
導体基板の場合と同じである。すなわち微傾斜角が 0.1° から 7.
9° まで水素熱処理シリコン半導体基板の表面ラフネスは鏡面研磨シリ
コン半導体基板よりも低減されている。

20 図 5 に微傾斜角が 0.1° の場合の AFM 像を示し、その模式図を図
6 に示す。エピタキシャルシリコン半導体基板の場合ほど明瞭ではない
がステップとテラスは形成されている。このようにステップとテラスは
エピタキシャルシリコン半導体基板に比べて形成され難いといえるが、
25 微傾斜された熱処理シリコン半導体基板の表面ラフネス Rms は鏡面研
磨シリコン半導体基板より低減することからキャリアの表面ラフネスに
による散乱は低減できる。

(実施例 3)

以下に、本発明のシリコン半導体基板に半導体素子を形成し、キャリア移動度の測定について説明する。主面が {110} 面を <100> 方向に傾けた角度を 0°、0.1°、7.9° とした鏡面研磨シリコン半導体基板とそれらの表面に厚さ 5 μm のシリコン単結晶薄膜を成膜されたエピタキシャルシリコン半導体基板及び水素雰囲気中で熱処理を施された熱処理シリコン半導体基板を用いた。鏡面研磨シリコン基板の直径、電気抵抗率、酸素濃度はそれぞれ 150 mm、p 型 10 ~ 12 Ω cm、16 ppm (JEIDA 换算) である。エピタキシャルシリコン層の電気抵抗率は 11 Ω cm を中心値とした。水素熱処理は 1150 °C で 1 時間の処理である。参考試料として、傾斜のない {100} 面の鏡面研磨シリコン半導体基板も加えた。電気抵抗率、酸素濃度は上記の値とほぼ同じである。なお、JEIDA は日本電子工業振興協会（現在は、JEITA：日本電子情報技術産業協会に改称された）の略称である。

電子移動度の改善効果を実証するために n 型電界効果トランジスタを形成した。最初に素子分離のために、STI (Shallow Trench Isolation) 法により素子分離のためのトレチを形成し、シリコン酸化膜 (SiO_2) によってトレチを埋めた。次に RCA 洗浄を施し、有機物、パーティクル、金属を除去した後、乾燥酸化雰囲気中で 5 nm のゲート酸化膜を形成した。ゲートの閾値電圧を制御するために基板全面にボロン (B) をイオン注入した。

次に、基板全面に多結晶シリコン膜を CVD (Chemical Vapour Deposition) 法により堆積させ、これをパターニングしてトランジスタ形成領域のゲート酸化膜の上に多結晶シリコン電極を形成した。次に、リン (P) を低濃度でイオン注入して高電界を緩和する n-・ソースと n-・ドレイン領域を形成した。電子の流れる方

向は<110>方向である。次にゲート電極を被覆するようにCVDによって基板全面にシリコン酸化膜を堆積させ、異方性エッチングを行ってゲート電極の側壁に側壁絶縁膜を形成した。最後に砒素(As)を高濃度にイオン注入してn+ソースとn+ドレイン領域を形成した。こう
5 して作製されたn型電界効果トランジスタの電子移動度を評価した。

基準になる{100}面の鏡面研磨シリコン半導体基板における電子移動度を1として、それぞれの基板の電子移動度を表1に示す。微傾斜エピタキシャルシリコン半導体基板の電子移動度は、現在広く用いられている{100}面鏡面研磨シリコン半導体基板の電子移動度の1.4
10 倍になる。微傾斜された水素熱処理シリコン半導体基板の電子移動度でも約1.2倍になる。微傾斜された鏡面研磨シリコン半導体基板の電子移動度は、{100}面の場合に比べて約0.8倍であり、見劣りするが、傾斜のない{110}面の場合に比べると1.3倍になることから、
15 傾斜することの効果は現われている。この実施例では、半導体素子作製工程で従来のRCA洗浄方法を用いたが、洗浄方法や熱処理方法を改善することによって、電子移動度はさらに改善される可能性がある。例えば、前述の5工程洗浄やラジカル犠牲酸価処理を施すことによって表面ラフネスはさらに改善され、キャリア移動度もさらに高くなるものと期待できる。

20 表1

| {110} 基板 | 傾斜角度 ([001] 方向) | | |
|----------|-----------------|------|------|
| | 0° | 0.1° | 7.9° |
| 鏡面研磨 | 0.62 | 0.81 | 0.79 |
| エピタキシャル | 0.76 | 1.46 | 1.44 |
| 熱処理 | 0.72 | 1.22 | 1.15 |

産業上の利用可能性

以上述べたごとく、本発明のシリコン半導体基板は、原子レベルで平坦化され、従来のシリコン半導体基板に比べて表面ラフネスが約10%
5 低減されること、及び原子レベルの表面ステップが半導体素子のキャリアの流れる方向に沿って形成されることから半導体素子のキャリア移動度を従来のシリコン半導体基板の場合よりも最大で40%も向上させることができる。本発明のシリコン半導体基板を半導体集積回路素子の基板として用いることによって、素子性能の高性能化を実現できる。また、
10 本発明方法によれば、本発明のシリコン半導体基板を効果的に製造することができる。

請求の範囲

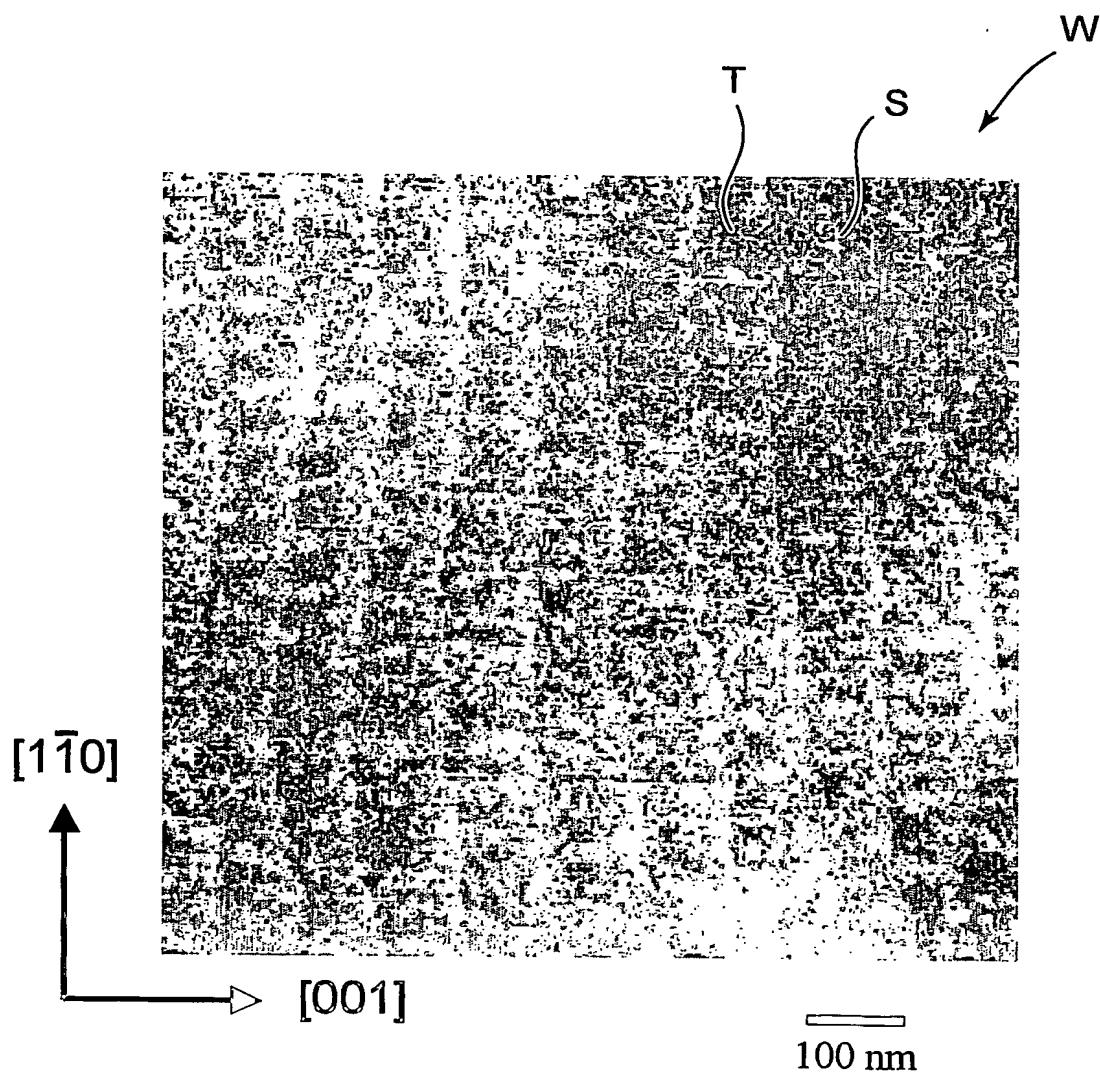
1. {110}面又は{110}面を傾けた面を正面とするシリコン半導体基板であって、その表面に平均的に<110>方向に沿った原子レベルのステップを有することを特徴とするシリコン半導体基板。
5. 前記{110}面を傾けた面が{110}面を<100>方向に傾けた面であることを特徴とする請求項1記載のシリコン半導体基板。
2. 前記{110}面を傾けた面を{110}面を<100>方向に傾けた面を正面とするシリコン半導体基板の表面にエピタキシャル成長法によりシリコン単結晶薄膜
10. 形成したことを特徴とする請求項2記載のシリコン半導体基板。
3. 前記{110}面を<100>方向に傾けた面を正面とするシリコン半導体基板を、水素ガス、あるいはアルゴンガス、またはこれらの混合ガス雰囲気中で熱処理を施したことを特徴とする請求項2記載のシリコン半導体基板。
4. 前記{110}面を<100>方向に傾けた面を正面とするシリコン半導体基板を、水素ガス、あるいはアルゴンガス、またはこれらの混合ガス雰囲気中で熱処理を施したことを特徴とする請求項2記載のシリコン半導体基板。
15. 5. {110}面を<100>方向に傾けた面を正面とするシリコン半導体基板であって、その表面を鏡面研磨したことを特徴とするシリコン半導体基板。
6. 前記{110}面を<100>方向に傾けた面を正面とするシリコン半導体基板の<100>方向への傾斜角度が0°以上8°未満であることを特徴とする請求項2～5のいずれか1項に記載のシリコン半導体基板。
20. 7. オリエンテーションフラットあるいはノッチを<110>方向に形成したことを特徴とする請求項1～6のいずれか1項に記載のシリコン半導体基板。
25. 8. {110}面を<100>方向に傾けた面を正面とするシリコン半導体基板を作製し、その表面にエピタキシャル成長法によりシリコン单

結晶薄膜を成長させることにより請求項 2 記載のシリコン半導体基板を製造することを特徴とするシリコン半導体基板の製造方法。

9. {110} 面を<100>方向に傾けた面を主面とするシリコン半導体基板を作製し、そのシリコン半導体基板を水素ガス、あるいはアルゴンガス、またはこれらの混合ガス雰囲気中で熱処理することにより請求項 2 記載のシリコン半導体基板を製造することを特徴とするシリコン半導体基板の製造方法。
5

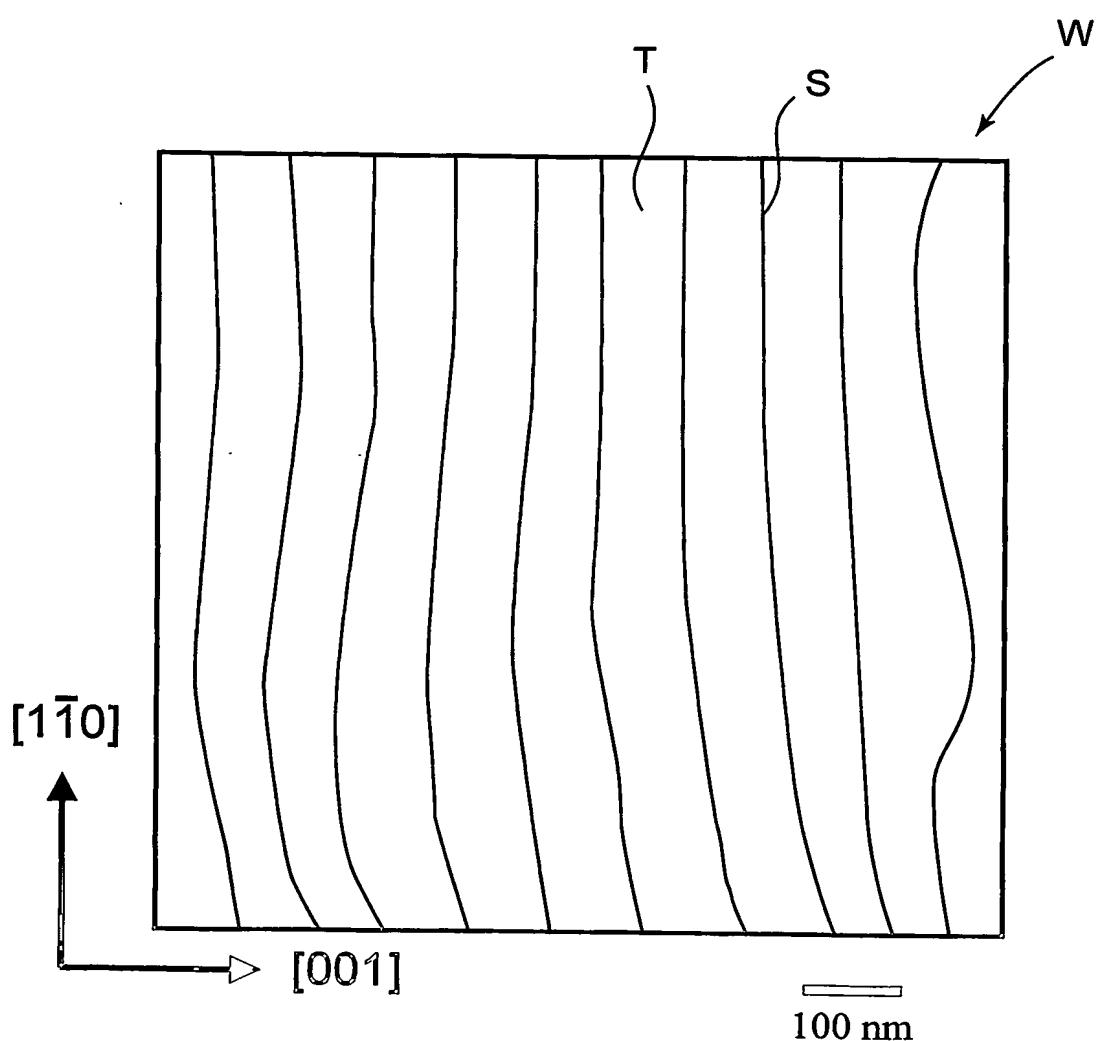
1 / 9

図 1



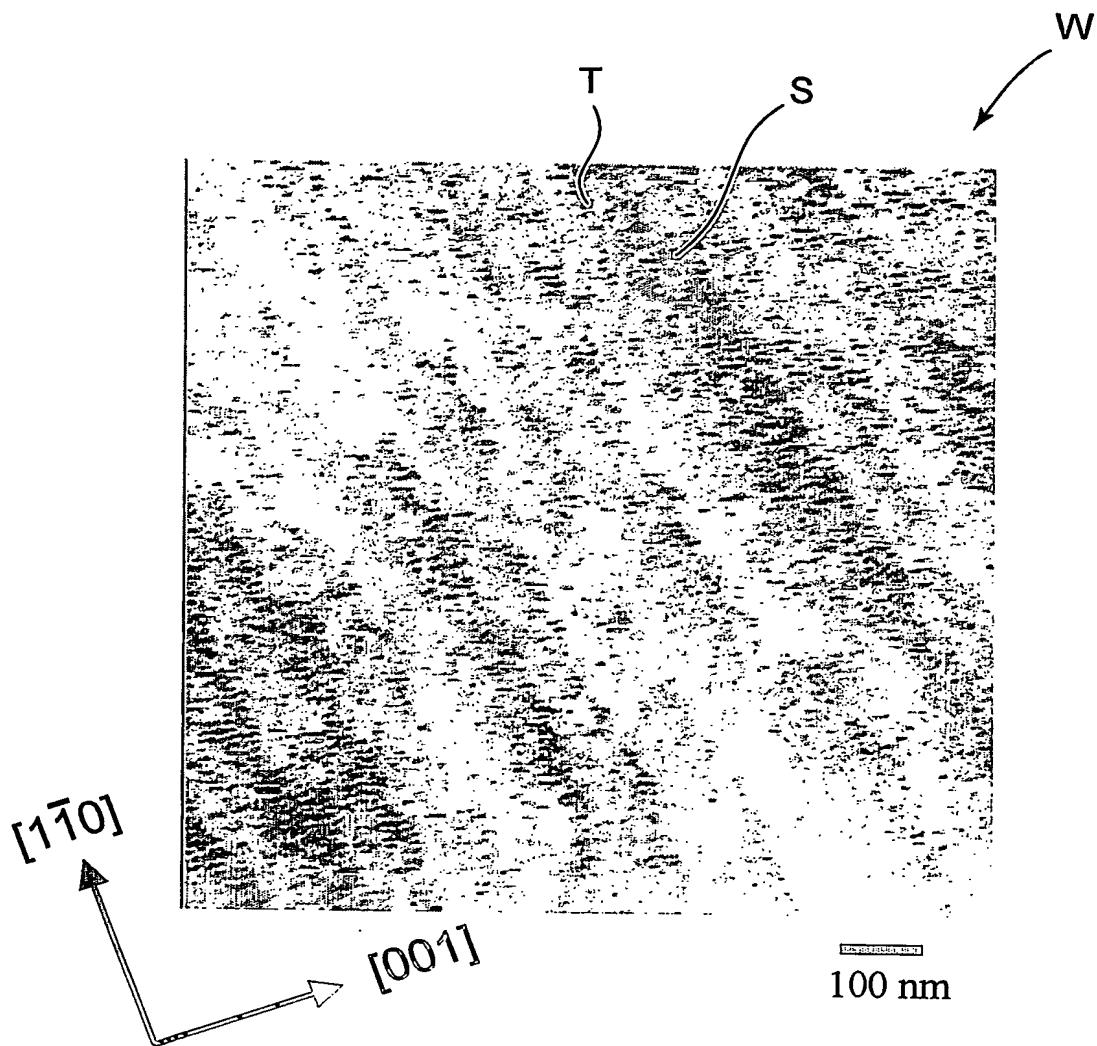
2 / 9

図 2



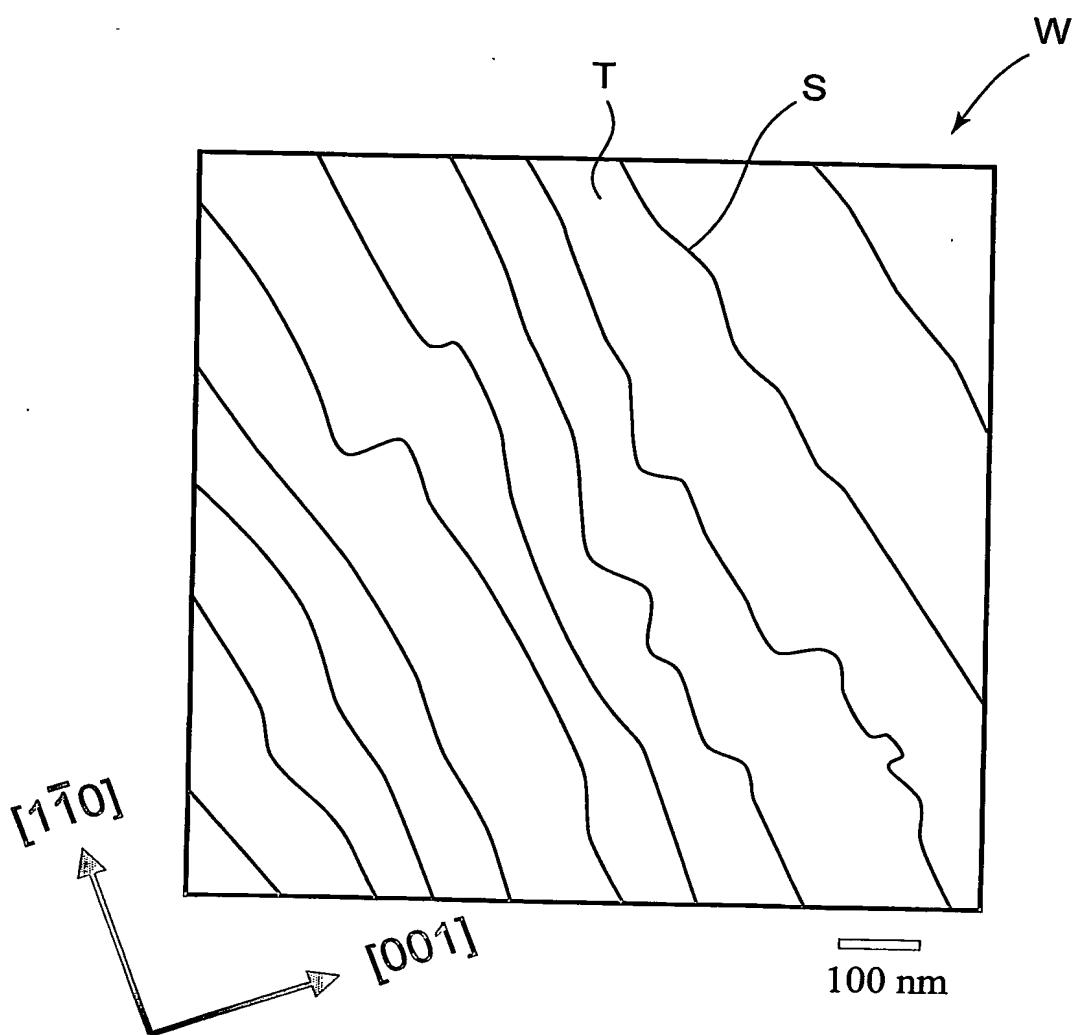
3 / 9

図 3



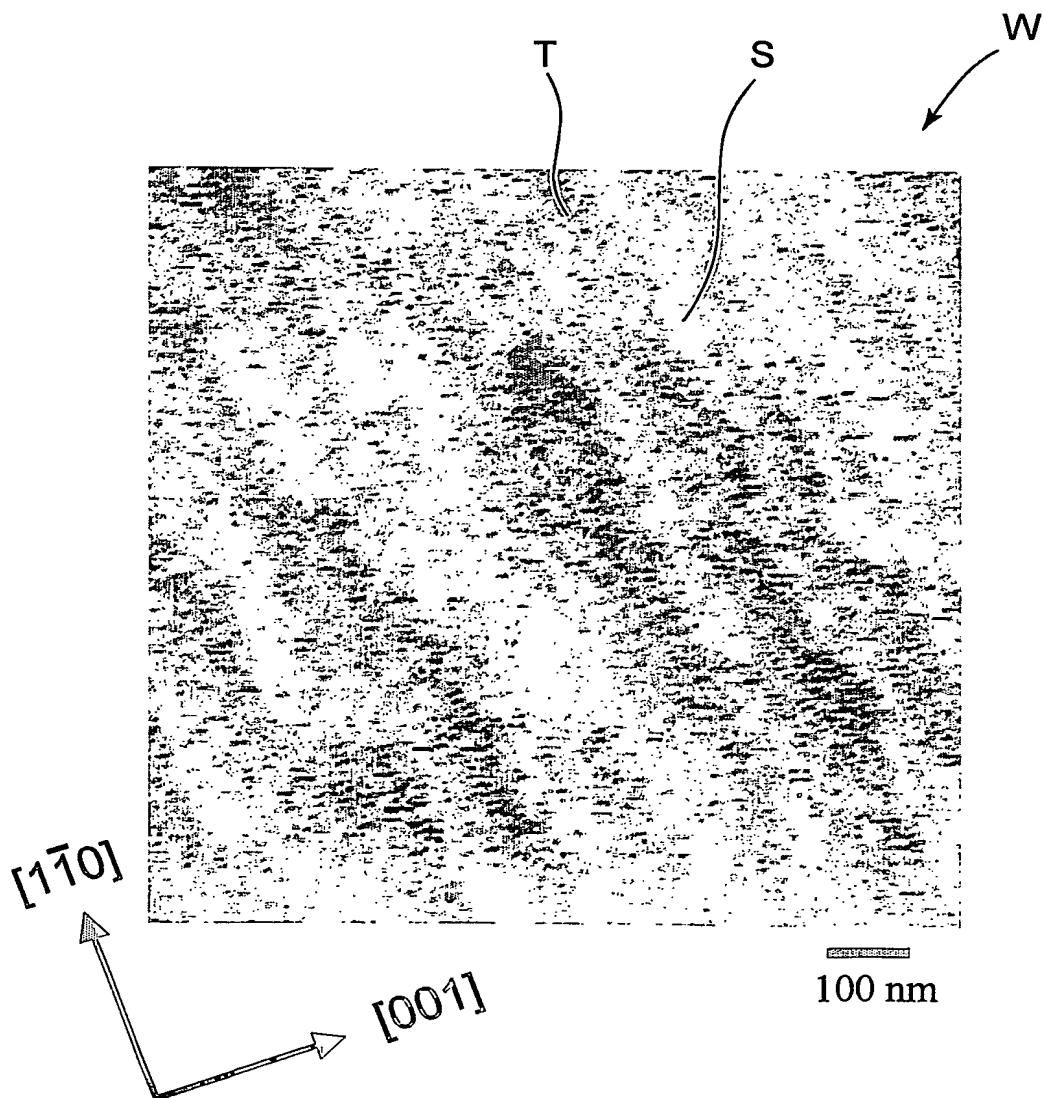
4 / 9

図 4



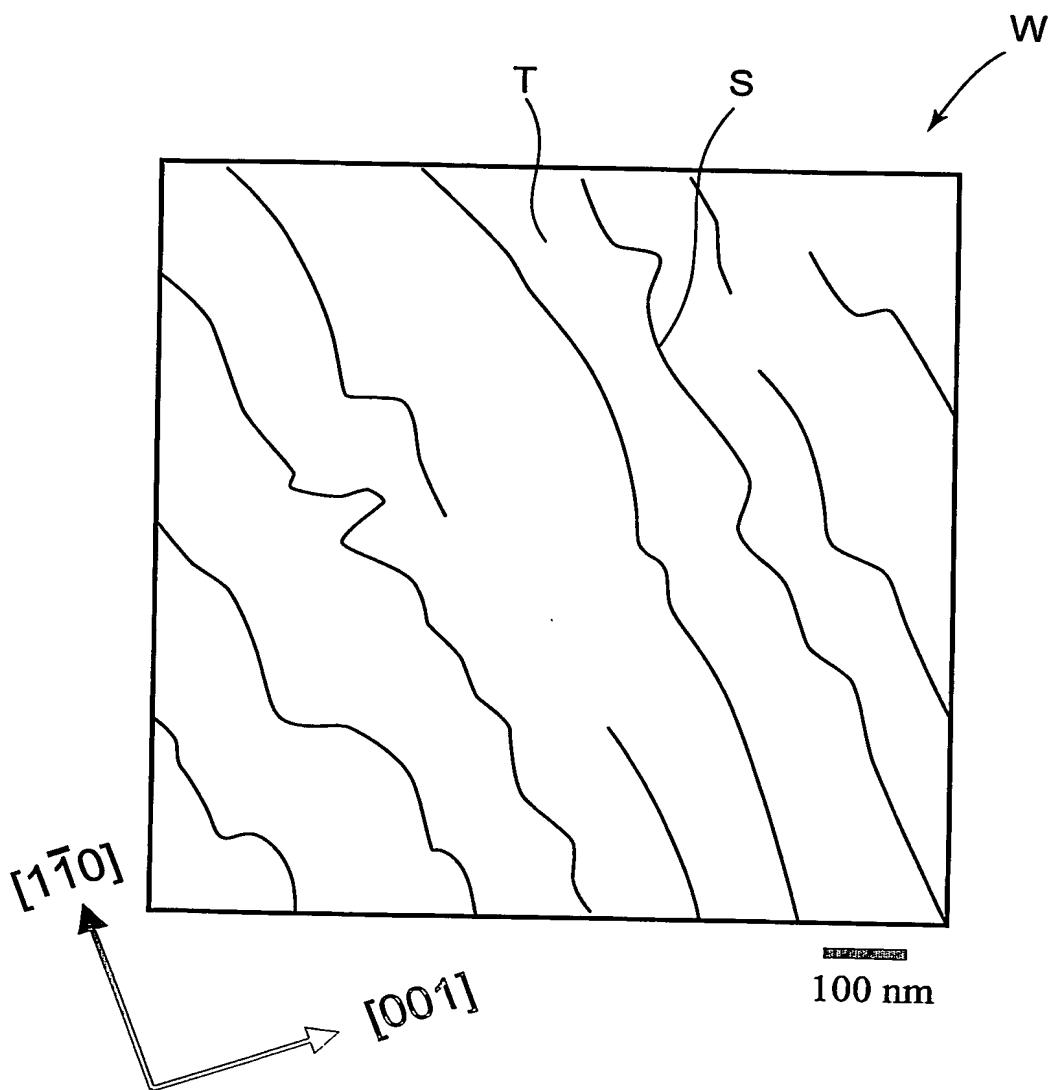
5 / 9

図 5



6 / 9

図 6



7 / 9

図 7

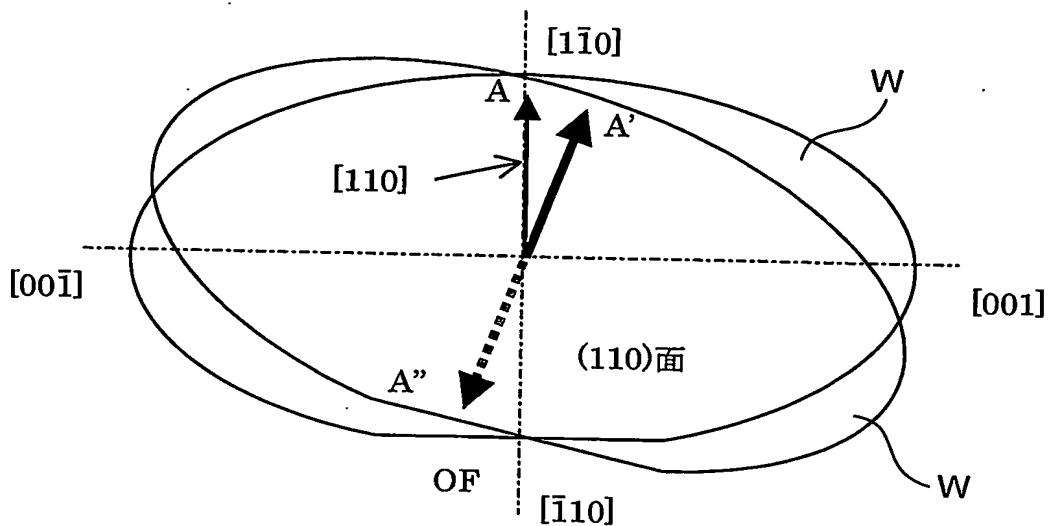
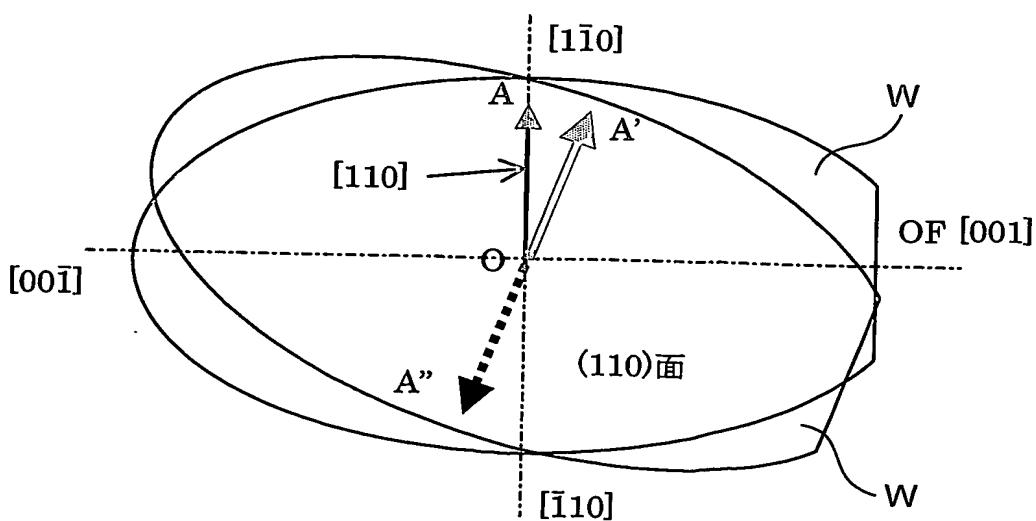
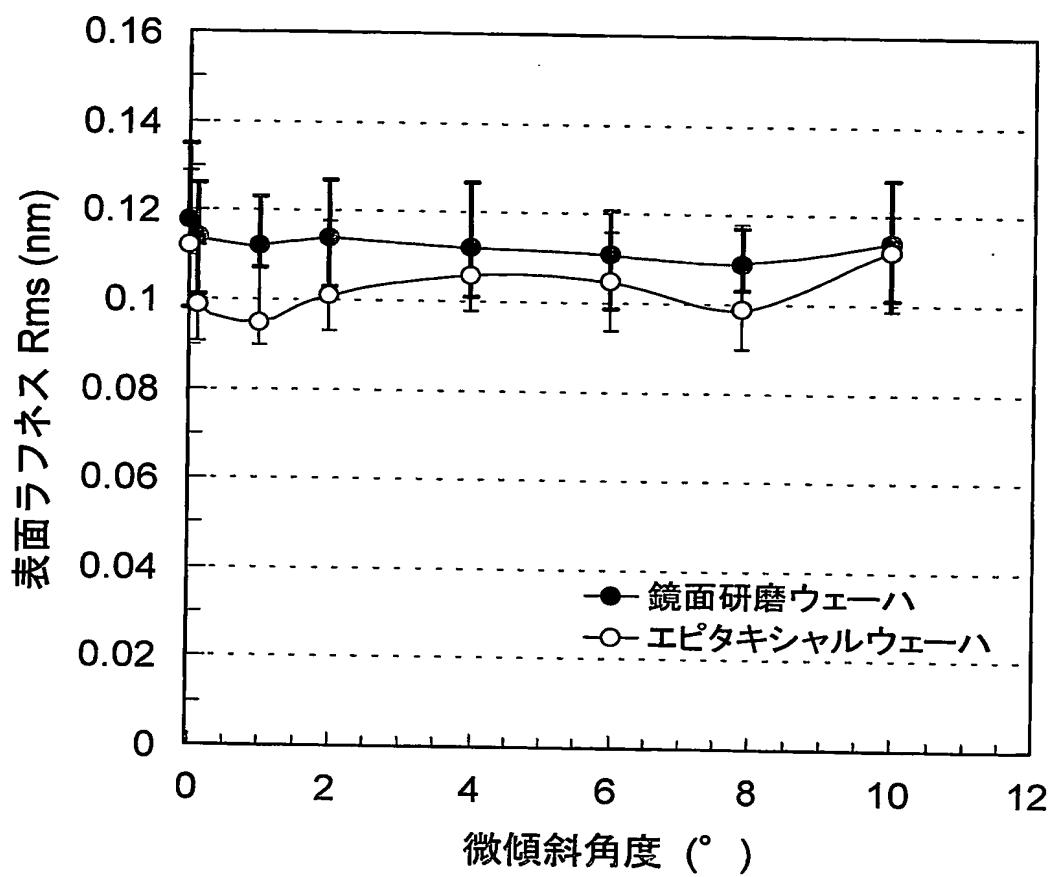


図 8



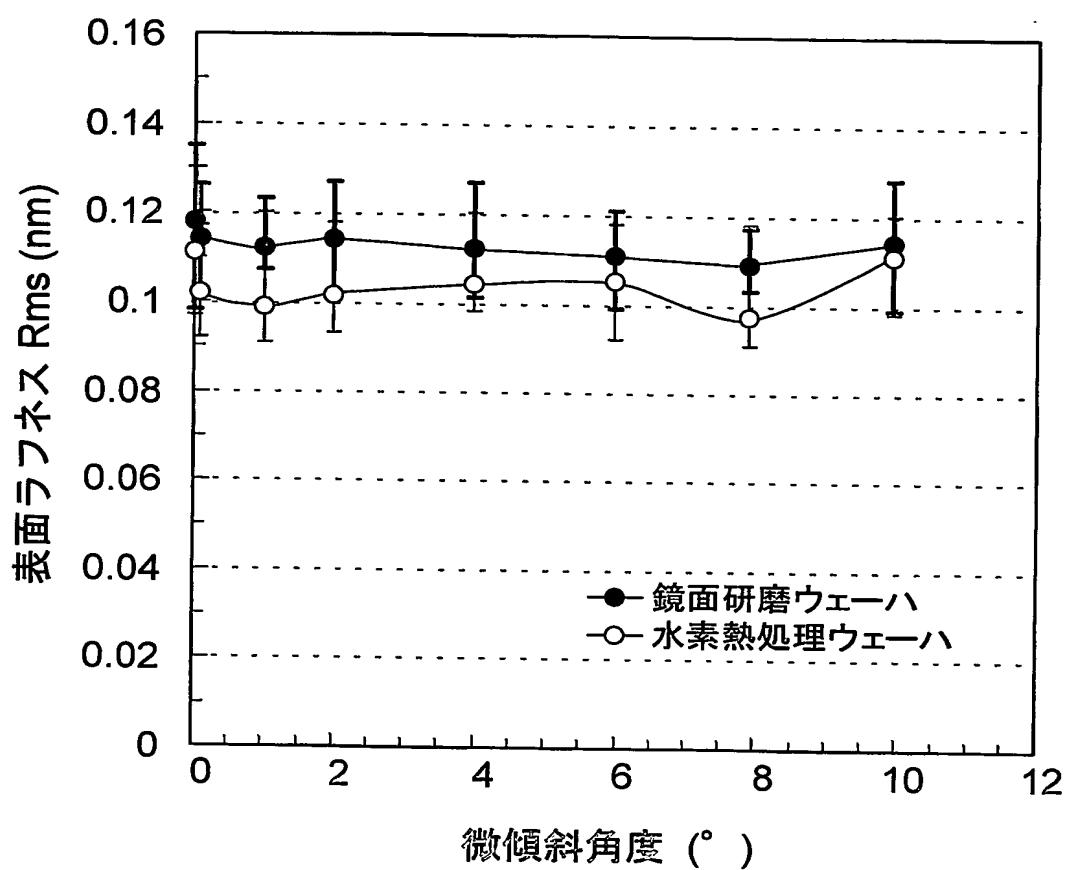
8 / 9

図 9



9 / 9

図 10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000869

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/02, H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/02, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Toroku Jitsuyo Shinan Koho | 1994-2004 |
| Kokai Jitsuyo Shinan Koho | 1971-2004 | Jitsuyo Shinan Toroku Koho | 1996-2004 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | EP 1174928 A1 (HITACHI LTD.), 23 January, 2002 (23.01.02), Full text; Figs. 1 to 16 & JP 2000-286418 A Full text; Figs. 1 to 16 | 1-9 |
| A | JP 2000-216378 A (Matsushita Electric Industrial Co., Ltd.), 04 August, 2000 (04.08.00), Full text; Figs. 1 to 6 (Family: none) | 1-9 |
| A | EP 354449 A2 (SEIKO EPSON CORP.), 14 February, 1990 (14.02.90), Full text; Figs. 1 to 5 & JP 2-74074 A Full text; Figs. 1 to 2 | 1-9 |

Further documents are listed in the continuation of Box C.

See patent family annex.

| | |
|--|--|
| * Special categories of cited documents: | |
| "A" | document defining the general state of the art which is not considered to be of particular relevance |
| "E" | earlier application or patent but published on or after the international filing date |
| "L" | document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) |
| "O" | document referring to an oral disclosure, use, exhibition or other means |
| "P" | document published prior to the international filing date but later than the priority date claimed |
| "T" | later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "X" | document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "Y" | document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "&" | document member of the same patent family |

Date of the actual completion of the international search
13 April, 2004 (13.04.04)

Date of mailing of the international search report
11 May, 2004 (11.05.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/0000869

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | US 4768076 A (HITACHI LTD.), 30 August, 1988 (30.08.88), Full text; Figs. 1 to 10 & JP 61-70748 A Full text; Figs. 1 to 4 | 1-9 |
| A | JP 59-217374 A (Toyota Central Research And Development Laboratories, Inc.), 07 December, 1984 (07.12.84), Full text; Figs. 1 to 6 (Family: none) | 1-9 |
| A | US 3476991 A (TEXAS INSTRUMENTS INC.), 04 November, 1969 (04.11.69), Full text; Figs. 1 to 4 & JP 48-39513 B Full text; Figs. 1 to 4 | 1-9 |

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl' H01L21/02, H01L29/78

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl' H01L21/02, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|------------|
| 日本国実用新案公報 | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2004年 |
| 日本国登録実用新案公報 | 1994-2004年 |
| 日本国実用新案登録公報 | 1996-2004年 |

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|------------------|
| A | EP 1174928 A1 (HITACHI LTD.) 2002. 01. 23, 全文, 第1-16図 & JP 2000-286418 A, 全文, 第1-16図 | 1-9 |
| A | JP 2000-216378 A (松下電器産業株式会社) 2000. 08. 04, 全文, 第1-6図 (ファミリーなし) | 1-9 |
| A | EP 354449 A2 (SEIKO EPSON CORPORATION) 1990. 02. 14, 全文, 第1-5図 & JP 2-74074 A, 全文, 第1-2図 | 1-9 |

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13. 04. 2003

国際調査報告の発送日

11. 5. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

大嶋 洋一

4 L 9170

電話番号 03-3581-1101 内線 6764

| C (続き) 関連すると認められる文献 | | |
|---------------------|---|------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| A | US 4768076 A (HITACHI LTD.) 1988, 08. 30, 全文, 第1-10図 & JP 61-70748 A, 全文, 第1-4図 | 1-9 |
| A | JP 59-217374 A (株式会社豊田中央研究所) 1984. 12. 07, 全文, 第1-6図 (ファミリーなし) | 1-9 |
| A | US 3476991 A (TEXAS INSTRUMENTS INCORPORATED) 1969, 11. 04, 全文, 第1-4図 & JP 48-39513 B, 全文, 第1-4図 | 1-9 |